

PAT-NO: JP363304641A  
DOCUMENT-IDENTIFIER: JP 63304641 A  
TITLE: MASTER SLICE INTEGRATED CIRCUIT  
PUBN-DATE: December 12, 1988

INVENTOR-INFORMATION:  
NAME  
YABE, MASASHI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
NEC CORP N/A

APPL-NO: JP62138859  
APPL-DATE: June 4, 1987

INT-CL (IPC): H01L021/82, H01L027/04  
US-CL-CURRENT: 257/208

ABSTRACT:

PURPOSE: To minimize the length of a clock signal wiring, and enable easily the constitution of an integrate circuit of high speed and high performance, by arranging fixedly F/F cells and C/D cells, and mounting them in the same cell row.

CONSTITUTION: Flip flop cell row 30 comprises flip flop (F/F) cells 40 and clock distributor (C/D) cells 50 whose position relations are mutually fixed. Wiring regions 60 are arranged along the side of the F/F cell row 30. Clock

signal wirings 70 constitute, in the wiring region 60, wirings between the F/F cells 40 and the C/D cells 50. That is, the C/D cells 50 are arranged in the central part of the F/F cell row 30, and wire the F/F cells 40 and the C/D cells 50 on a line of the shortest distance. Thereby, the wiring length is reduced to a minimum, so that the circuit operates at a high speed. Further, the wiring length becomes uniform, and clocks skew can be decreased, so that an integrated circuit with high performance can be obtained.

COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報(A)

昭63-304641

⑬ Int.Cl.<sup>4</sup>H 01 L 21/82  
27/04

識別記号

庁内整理番号

8526-5F  
A-7514-5F

⑭ 公開 昭和63年(1988)12月12日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 マスタスライス方式集積回路

⑯ 特 願 昭62-138859

⑰ 出 願 昭62(1987)6月4日

⑱ 発 明 者 矢 部 昌 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 山川 政樹 外2名

## 明 細 書

## 1. 発明の名称

マスタスライス方式集積回路

## 2. 特許請求の範囲

互いに位置関係が固定されたフリップフロップセルおよびクロックデистриビュータセルを有するフリップフロップセル列と、フリップフロップセル列の側面に沿って配置された配線領域と、配線領域内において前記フリップフロップセルおよびクロックデистриビュータセルとを配線するクロック信号配線とを備えたことを特徴とするマスタスライス方式集積回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は各種セル間の接続の方法を変えるだけで各種の回路機能の集積回路を構成できるマスタスライス方式集積回路に関し、特にセルあるいはセル列の構成方法に関するものである。

〔従来の技術〕

従来の技術の説明に先立ち、まずクロックデ

ストリビュータ(以下、C/Dと称す)およびフリップフロップ(以下、F/Fと称す)の動作原理について図を用いて概説する。

第2図はC/DからF/Fのクロック信号の供給を説明するブロック図であり、図において14はF/F、15はC/D、16は任意の組合せが可能な回路、17はクロック入力端子であり、aはF/F 14および回路16に各種データを伝搬するためのデータ信号線、bはF/F 14を制御するためにクロック入力端子17からC/D 15を介し適宜にクロックを伝搬するクロック信号である。

このように、クロック信号bはC/D 15より各F/Fセル14に伝搬されるので、各配線を短くするためには、C/Dセル15がF/Fセル14に近接して配置されることが必要である。

一般には上述のような各種素子の配線を有するマスタスライス式集積回路は、前述のC/D、F/Fの他にROM、PLA等汎用機能を有するセルを配置したセル列を構成しており、全てのセル列

が汎用機能を実現するように設計されていた。

なお、従来のマスタスライス方式を示すものとしては、例えば「論理装置のCAD」(情報処理学会、昭和56年3月20日発行)に開示されるものがある。

第3図は、従来例を示す全体構成図である。図において、1はマスタスライス方式の集積回路を構成する基板、4はF/Fセル、5はC/Dセル、6は配線領域、7はF/Fセル4およびC/Dセル5を接続するクロック信号配線、10はトランジスタ、抵抗等汎用セルを固定配置し、F/Fセル4およびC/Dセル5等特定機能セルを後から任意に配置したセル列である。

このような構成において、セル列10には機能の区別に関係なく各種セルが配置されており、このためクロック信号配線7は任意に配置されたF/Fセル4およびC/Dセル5を接続しなければいけないので、配線は各々長さが揃わず且つ長くなるという傾向があつた。

〔発明が解決しようとする問題点〕

- 3 -

〔作用〕

本発明では、クロック信号配線の配線長を最短化できるので、高速且つ高性能な集積回路を構築できる。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は本発明の一実施例を示す全体構成図である。

図において、1は基板、20はトランジスタ、抵抗等の汎用セルを配線した一般ゲートセル列、30はF/Fセル40およびC/Dセル50等特定機能を固定位置に配置したF/Fセル列である。60は配線領域、70はF/Fセル40およびC/Dセル50を接続するクロック信号配線である。

このような構成において、C/Dセル50はF/Fセル列30上の中央に配置されており、F/Fセル40およびC/Dセル50を一直線線上に且つ最短距離に配線している。このため、配線長が最少となるので回路動作が高速となり、また、配線長が揃うので、クロックスキューを減少する

近年、集積回路に対する高速化および高性能化の要求が非常に高まりつつある。

しかしながら、前述のような従来のマスタスライス方式集積回路では、F/Fセル又はC/Dセル等特定機能を有するセルの配置が固定されておらず任意配置のために、前記F/FセルとC/Dセルを接続する配線長を短く配線することは難しく、このため高速且つ高性能な集積回路の実現が困難であるという問題があつた。

たとえ、既存の回路自動配置プログラムを用いても配線長の短縮化は非常に難しく、これを人手により配線する場合は多大な工数がかかるという問題があつた。

〔問題点を解決するための手段〕

本発明のマスタスライス方式集積回路は、互いに位置関係が固定されたF/FセルおよびC/Dセルを有するF/Fセル列と、このF/Fセル列の側面に沿って配線領域を配置し、その配線領域においてF/FセルとC/Dセルとを配線するクロック信号配線とを有している。

- 4 -

ことができるため高性能な集積回路を得ることが可能となる。

なお、本実施例ではC/Dセル50をF/Fセル列30の中央に配置したが、この他にもF/Fセル列30の端またはF/Fセル列30の直上、直下に配置する場合等、種々の構成方法が可能である。

〔発明の効果〕

以上説明したように本発明は、F/FセルおよびC/Dセルを固定配置し、同一セル列に搭載することにより、クロック信号配線の配線長を最短化することができ、容易に高速且つ高性能な集積回路を構成することが可能となる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す全体構成図、第2図はC/DおよびF/Fの動作を説明する図、第3図は従来例の全体構成図である。

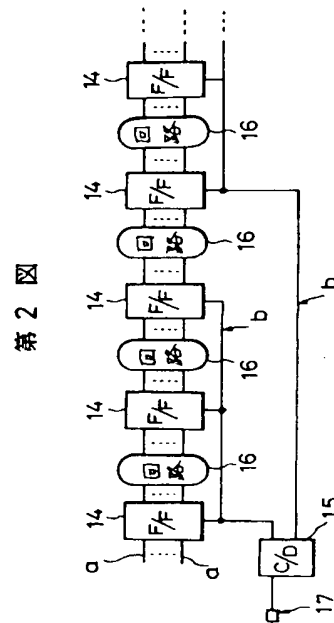
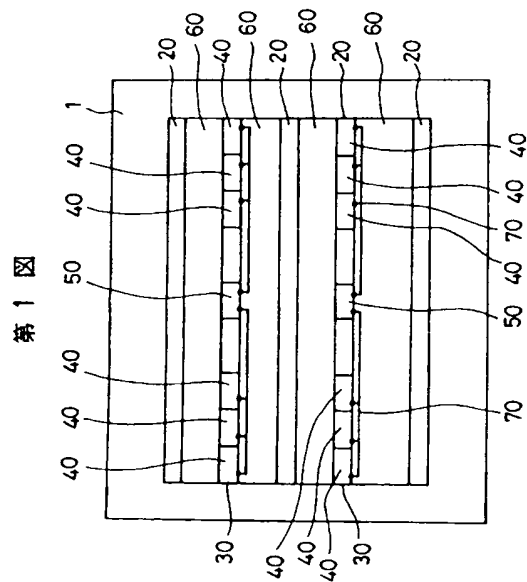
1・・・基板、20・・・一般ゲートセル列、30・・・フリップフロップ(F/F)セル列、40・・・フリップフロップ(F/F)セル、

50.....クロックディストリビュータ(C/D)  
セル、60.....配線領域、70.....クロ  
ック信号配線。

特許出願人 日本電気株式会社

代理人 山川政樹(ほか2名)

- 7 -



第 3 図

